

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252441

(P2000-252441A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 27/108
21/8242
27/04
21/822

H 0 1 L 27/10
27/04
27/10

6 2 1 B 5 F 0 3 8
C 5 F 0 8 3
6 5 1

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平11-47981

(22) 出願日 平成11年2月25日 (1999.2.25)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 青山 和盛

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 江口 和弘

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

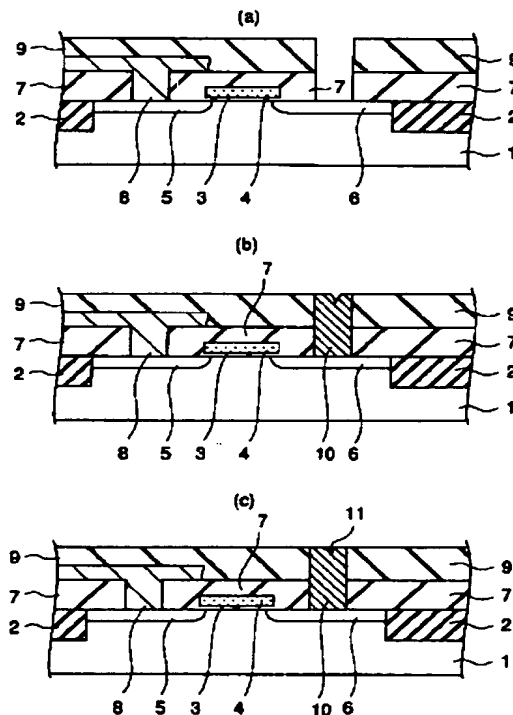
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 Ruからなるプラグ電極を介してn⁺型ソース拡散層と接続する、単結晶SrRuO₃ / 単結晶(Ba,Sr)TiO₃ / 単結晶SrRuO₃ 構造のキャパシタを容易に製造できる製造方法を実現すること。

【解決手段】 このような構造のキャパシタを容易に製造するためには、下部キャパシタ電極である単結晶SrRuO₃ 膜を容易に形成できれば良い。そのためには、表面に窪みを有するRu膜からなるプラグ電極10を形成し、次に窪みの内部を単結晶のSrRuO₃ 膜11で埋め込み、次にSrRuO₃ 膜11上に下部キャパシタ電極となるアモルファスのSrRuO₃ 膜14を全面に堆積し、次に単結晶のSrRuO₃ 膜11を結晶核に用い、熱処理によってアモルファスのSrRuO₃ 膜14を結晶化させれば良い。



【特許請求の範囲】

【請求項 1】半導体基板上に形成され、ペロブスカイト構造を有する導電膜からなる下部キャパシタ電極と、この下部キャパシタ電極上に形成され、ペロブスカイト構造を有する金属酸化物誘電体膜からなるキャパシタ絶縁膜と、

このキャパシタ絶縁膜上に形成された上部キャパシタ電極と、

前記下部キャパシタ電極と前記半導体基板とを接続し、前記下部キャパシタ電極と接触する部分に窪みを有し、この窪みの内部が結晶性物質で埋め込まれたプラグ電極とを具備してなることを特徴とする半導体装置。

【請求項 2】前記結晶性物質は、ペロブスカイト構造を有する導電物であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記上部キャパシタ電極は、ペロブスカイト構造を有する導電膜からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】前記窪みの開孔径は、50nm 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】半導体基板上に形成され、ペロブスカイト構造を有する導電膜からなる下部キャパシタ電極と、この下部キャパシタ電極上に形成され、ペロブスカイト構造を有する金属酸化物誘電体膜からなるキャパシタ絶縁膜と、

このキャパシタ絶縁膜上に形成された上部キャパシタ電極と、

前記下部キャパシタ電極と前記半導体基板とを接続し、ルテニウムからなるプラグ電極とを具備してなることを特徴とする半導体装置。

【請求項 6】前記結晶性物質はペロブスカイト構造を有する金属酸化物誘電体膜または該金属酸化物誘電体膜と格子定数の近い結晶性を有する金属酸化物誘電体膜、前記上部キャパシタ電極はペロブスカイト構造を有する導電膜、前記窪みの開孔径は 50nm 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】半導体基板上に、該半導体基板と後工程で形成する下部キャパシタ電極とを接続する、表面に窪みを有するプラグ電極を形成する工程と、

前記窪みの内部を結晶性物質で埋め込む工程と、

結晶化時にペロブスカイト構造を取るアモルファス導電膜を前記結晶性物質と接触するように形成する工程と、前記結晶性物質を結晶核に用い、前記アモルファス導電膜を熱処理により結晶化することによって、下部キャパシタ電極としてのペロブスカイト構造を有する導電膜を形成する工程と、

この導電膜上にペロブスカイト構造を有する金属酸化物誘電体膜からなるキャパシタ絶縁膜を形成する工程と、このキャパシタ絶縁膜上に上部キャパシタ電極を形成する工程とを有することを特徴とする半導体装置の製造方

法。

【請求項 8】前記窪みの内部を結晶性物質で埋め込む工程は、前記窪みの内部を充填するように該窪みの開孔径の 2 分の 1 よりも厚いアモルファス膜を全面に堆積する工程と、前記窪みの外部の前記アモルファス膜を除去する工程と、前記窪みの内部に残った前記アモルファス膜を結晶化する工程とを有することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係わり、特に下部キャパシタ電極およびキャパシタ絶縁膜がペロブスカイト構造を有し、下部キャパシタ電極がプラグ電極を介して半導体基板と接続したキャパシタを備えた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路の高集積化に伴い、素子の微細化は進む一方であり、例えばキャパシタのセル面積は非常に小さくなっている。セル面積が小さくなるとキャパシタ容量も小さくなってしまうが、キャパシタの容量は感度やソフトエラー等の点からそれほど小さくできないという要請がある。

【0003】容量を確保する方法としては、キャパシタを 3 次元的に形成してセル面積をできるだけ大きくする方法と、キャパシタ絶縁膜に誘電率の高い絶縁膜を用いる方法が検討されている。

【0004】誘電率の高い絶縁膜として代表的なものに、(Ba, Sr)TiO₃ 膜等の酸化物誘電体膜が知られている。この種の酸化物誘電体膜をキャパシタ絶縁膜として用いる場合は、キャパシタ電極とキャパシタ絶縁膜との界面に低誘電率層が形成されるのを防止するために、酸化されないかまたは酸化されても金属導電性を示す材料でキャパシタ電極を形成する必要がある。

【0005】最近、このような電極材料として、(Ba, Sr)TiO₃ と同じ結晶構造（ペロブスカイト構造）を有する SrRuO₃ を用いることが検討されている。図 10 に、キャパシタの電極材料として SrRuO₃ を用いた DRAM メモリセルの工程断面図を示す。

40 【0006】これを説明すると、まず、図 8 (a) に示すように、p タイプ Si 基板 71 の表面に STI (Shallow Trench Isolation) による素子分離領域 72 を形成する。

【0007】次に同図 (a) に示すように、ゲート絶縁膜 73、ゲート電極（ワード線）74、n⁺ 型ドレイン拡散層 75、n⁺ 型ソース拡散層 76 を形成し、続いて第 1 層間絶縁膜 77 を堆積して表面を平坦化した後、第 1 層間絶縁膜 (SiO₂ 膜) 77 にコンタクトホールを開孔してビット線 78 を形成する。

50 【0008】次に同図 (a) に示すように、第 2 層間絶

縁膜 (SiO_2 膜) 79を堆積して表面を平坦化した後、第1および第2層間絶縁膜77, 79にコンタクトホールを開孔して、その内部をTi膜80およびTiN膜81を介してプラグ電極82で埋め込む。

【0009】次に図8(b)に示すように、SiN膜83、第3層間絶縁膜 (SiO_2 膜) 84を堆積して表面を平坦化した後、これらの絶縁膜83, 84にプラグ電極82に対してのヴィアホールを開孔する。

【0010】次に図8(c)に示すように、ヴィアホールの内部を充填するように下部キャパシタ電極85となる SrRuO_3 膜をスパッタ法またはCVD法で全面に堆積した後、ヴィアホール外部の余剰な SrRuO_3 膜をCMP (Chemical Mechanical Polishing) 法で除去して、下部キャパシタ電極85を形成する。この後、第3層間絶縁膜84を選択的にエッチング除去する。

【0011】最後に、図8(d)に示すように、(Ba, Sr) TiO_3 からなるキャパシタ絶縁膜86をCVD法で全面に堆積し、続いて上部キャパシタ電極87となる SrRuO_3 膜をCVD法で全面に堆積した後、この SrRuO_3 膜を加工して上部キャパシタ電極87を形成して、DRAMメモリセルが完成する。

【0012】ここで、キャパシタ容量を稼ぎ、リーク電流を抑制するためには、下部キャパシタ電極85、キャパシタ絶縁膜86および上部キャパシタ電極87がエピタキシャル成長していることが望ましい。

【0013】そのためには、下部キャパシタ電極85である SrRuO_3 膜を単結晶化する必要がある。報告されている SrRuO_3 膜を単結晶化する方法について説明すると以下ようになる。

【0014】まず、図9(a)に示すように、単結晶Si基板91上にAlTiN膜92をスパッタ法で堆積する。ここで、AlTiN膜92は単結晶Si基板91上にエピタキシャル成長し、全面に渡って単結晶となる。

【0015】次に図9(b)に示すように、AlTiN膜92上にPt膜93をスパッタ法で堆積する。このPt膜93も同様に全面に渡って単結晶となる。

【0016】最後に、図9(c)に示すように、Pt膜93上に SrRuO_3 膜94をスパッタ法で堆積させる。この SrRuO_3 膜94も同様に全面に渡って単結晶となる。

【0017】このような方法で下部キャパシタ電極85である単結晶の SrRuO_3 膜を形成すれば、キャパシタ絶縁膜86である(Ba, Sr) TiO_3 膜もキャパシタ部で単結晶化することができ、さらに上部キャパシタ電極87である SrRuO_3 膜も同じペロブスカイト構造であるため、キャパシタ部で単結晶化することができ、良好な特性を有するキャパシタを実現することができる。

【0018】しかしながら、実際のDRAMでは、Si基板71と下部キャパシタ電極85との間にはトランジ

スタを動作させるためのゲート電極(ワード線)74やビット線78が配線されており、下部キャパシタ電極85は n^+ 型ソース拡散層76とサブミクロンサイズのプラグ電極82を介して接続しなければならず、しかもSiの世代が進むにつれて、プラグ電極82を埋め込むためのコンタクトホールのアスペクト比は大きくなる。

【0019】このようにプラグ電極82のサイズが小さくなり、アスペクト比が大きくなると、従来プラグ電極材として用いられたSi系の材料では抵抗が高くなるために用いることができず、その代わりにRuやW等の低抵抗の金属を用いる必要があるが、この種の金属の単結晶化は非常に困難である。

【0020】また、図10に示すように、上面がコンタクトホールの開孔面よりも低いプラグ電極82を形成し、プラグ電極82の表面だけに単結晶の SrRuO_3 / Pt積層膜88を形成すれば、その上に形成する上部キャパシタ電極87としての SrRuO_3 膜を単結晶化することは可能である。

【0021】単結晶の SrRuO_3 / Pt積層膜88の形成工程は、プラグ電極82上のコンタクトホールの未重点部分にアモルファスの SrRuO_3 / Pt積層膜を埋め込み形成する工程と、これをレーザーアニール等を用いて単結晶化する工程とからなる。

【0022】しかしながら、プラグ電極82のサイズがサブミクロン程度の場合、レーザーアニール等を用いてもプラグ電極82上のアモルファスの SrRuO_3 / Pt積層膜を単結晶化することは難しく、双晶や多結晶が形成されてしまい、その結果として下部キャパシタ電極85である SrRuO_3 膜も双晶や多結晶になってしまう問題がある。なお、図中、89は粒界を示している。

【0023】

【発明が解決しようとする課題】上述の如く、微細化の進んだDRAMセルにおいて、必要な容量を確保するために、キャパシタ絶縁膜として誘電率の高い単結晶(Ba, Sr) TiO_3 膜、下部および上部キャパシタ電極として単結晶 SrRuO_3 膜を使用することが提案されていた。

【0024】このようなキャパシタ絶縁膜、ならびに下部および上部キャパシタ電極を形成するためには、下部キャパシタ電極とSi基板とを接続するプラグ電極は単結晶である必要があった。

【0025】しかしながら、微細化の進んだDRAMセルにおいては、プラグ電極の材料として抵抗は低い結晶化が困難であるRu等の金属を使用する必要があったので、プラグ電極の単結晶化は困難であるという問題があった。

【0026】また、他の方法として、プラグ電極が途中で埋め込まれたコンタクトホールの未充填部分にアモルファスの SrRuO_3 膜を埋め込み形成し、それをレーザーアニールにより単結晶化したものを結晶核に使用す

る方法も提案されていた。

【0027】しかしながら、微細の進んだDRAMセルにおいては、コンタクトホールも微細化し、このような微細なコンタクトホールの上に埋め込まれたアモルファスの SrRuO_3 膜をレーザアニールで単結晶化することは困難であるという問題があった。

【0028】本発明は、上記事情を考慮してなされたもので、その目的とするところは、プラグ電極を介して半導体基板に接続し、かつペロブスカイト構造を有する導電膜からなる下部キャパシタ電極上に、ペロブスカイト構造を有する金属酸化物誘電体膜からなるキャパシタ絶縁膜が形成されてなるキャパシタを容易に実現できる構造を有する半導体装置およびその製造方法を提供することにある。

【0029】

【課題を解決するための手段】〔構成〕上記目的を達成するために、本発明に係る半導体装置は、半導体基板上に形成され、ペロブスカイト構造を有する導電膜からなる下部キャパシタ電極と、この下部キャパシタ電極上に形成され、ペロブスカイト構造を有する金属酸化物誘電体膜からなるキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された上部キャパシタ電極と、前記下部キャパシタ電極と前記半導体基板とを接続し、前記下部キャパシタ電極と接触する部分に窪みを有し、この窪みの内部が結晶性物質で埋め込まれたプラグ電極とを備えたことを特徴とする。

【0030】また、本発明に係る他の半導体装置は、半導体基板上に形成され、ペロブスカイト構造を有する導電膜からなる下部キャパシタ電極と、この下部キャパシタ電極上に形成され、ペロブスカイト構造を有する金属酸化物誘電体膜からなるキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された上部キャパシタ電極と、前記下部キャパシタ電極と前記半導体基板とを接続し、ルテニウムからなるプラグ電極とを備えていることを特徴とする。

【0031】また、本発明に係る半導体装置の製造方法は、半導体基板上に、該半導体基板と後工程で形成する下部キャパシタ電極とを接続する、表面に窪みを有するプラグ電極を形成する工程と、前記窪みの内部を結晶性物質で埋め込む工程と、結晶化時にペロブスカイト構造を取るアモルファス導電膜を前記結晶性物質と接触するように形成する工程と、前記結晶性物質を結晶核に用い、前記アモルファス導電膜を熱処理により結晶化することによって、下部キャパシタ電極としてのペロブスカイト構造を有する導電膜を形成する工程と、この導電膜上にペロブスカイト構造を有する金属酸化物誘電体膜からなるキャパシタ絶縁膜を形成する工程と、このキャパシタ絶縁膜上に上部キャパシタ電極を形成する工程とを有することを特徴とする。

【0032】本発明のより具体的な形態は以下の通りで

ある。

【0033】(1) 結晶性物質は、ペロブスカイト構造を有する導電物である。

【0034】(2) 上部キャパシタ電極は、ペロブスカイト構造を有する導電膜で構成されている。

【0035】(3) 窪みの開孔径は、50nm以下である。

【0036】(4) 結晶性物質は、白金である。

10 【0037】(5) 結晶性物質は、ペロブスカイト構造を有する絶縁物（より具体的には金属酸化物誘電体膜または該金属酸化物誘電体膜と格子定数の近い結晶性を有する金属酸化物誘電体膜）である。

【0038】(6) 下部キャパシタ電極は、 ARuO_3 （AはSr, Ba, Ca, LaおよびNdから選ばれる少なくとも1種の元素を示す）、ならびに（Sr, RE） CoO_3 （REはLa, Pr, SmおよびNdから選ばれる少なくとも1種の元素を示す）から選ばれる1種からなる材料で構成されている。

20 【0039】(7) キャパシタ絶縁膜は、（Ba, Sr） TiO_3 、 SrTiO_3 、 BaTiO_3 、 PbTiO_3 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、または（Pb, La）（Zr, Ti） O_3 で構成されている。

【0040】(8) 窪みの内部を結晶性物質で埋め込む工程は、窪みの内部を充填するように該窪みの開孔径の2分の1よりも厚いアモルファス膜を全面に堆積する工程と、窪みの外部のアモルファス膜を除去する工程と、窪みの内部に残ったアモルファス膜を結晶化する工程とを有する。

30 【0041】(9) アモルファス導電膜として白金膜または ABO_3 （A, Bは金属元素）膜を形成し、その成膜方法としてスパッタ法またはCVD法を用いる。

【0042】〔作用〕本発明（請求項1～4, 6, 7）によれば、プラグ電極の表面の窪みの内部に結晶性物質が埋め込まれているので、プラグ電極がRu膜等の単結晶化が困難な金属膜であっても、上記結晶性物質を結晶核に用いることによって、ペロブスカイト構造を有する導電膜（下部キャパシタ電極）を容易に形成することができる。

40 【0043】また、プラグ電極が埋め込まれるコンタクトホールの開孔径が小さくても、本発明（請求項7）の方法により上記結晶性物質を容易に形成することができる。その理由は、プラグ電極の表面の窪みの大きさが開孔径50nm以下であれば、その内部に埋め込まれたアモルファス導電膜は熱処理によって確実に単結晶になるからである。

【0044】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

50 【0045】（第1の実施形態）図1は、本発明の第1

の実施形態に係るDRAMセルを示す断面図である。

【0046】図中、1はpタイプSi基板を示しており、このpタイプSi基板1の表面にはSTI構造の素子分離領域2が形成されている。

【0047】この素子分離領域2で分離されたトランジスタ領域内には、ゲート絶縁膜3、ゲート電極（ワード線）4、 n^+ 型ドレイン拡散層5および n^+ 型ソース拡散層6からなるMOSTランジスタが形成されている。

【0048】pタイプSi基板1上には、表面が平坦な第1層間絶縁膜（ SiO_2 膜）7が形成され、この第1層間絶縁膜7に開孔されたコンタクトホールを介してビット線8が n^+ 型ドレイン拡散層5に接続している。

【0049】第1層間絶縁膜7上には、表面が平坦な第2層間絶縁膜（ SiO_2 膜）9が形成され、第1および第2層間絶縁膜7、9に開口されたコンタクトホールを介して、単結晶のRuからなるプラグ電極10が n^+ 型ソース拡散層6に接続している。

【0050】このプラグ電極10の表面の中央部には窪みが形成され、この窪みの内部は単結晶の $SrRuO_3$ 膜11で埋め込まれている。 $SrRuO_3$ 膜11の代わりにそれに近い格子定数を有する結晶性の物質でも良い。

【0051】第2層間絶縁膜9上にはSiN膜12が形成されている。このSiN膜12はプラグ電極10を含む領域に開口部を有し、この開口部を介してプラグ電極10とコンタクトする、単結晶の $SrRuO_3$ からなる下部キャパシタ電極14が形成されている。下部キャパシタ電極14はSiN膜12よりも厚い。

【0052】下部キャパシタ電極14上には、単結晶の $(Ba, Sr)TiO_3$ からなるキャパシタ絶縁膜15が形成されている。そして、下部キャパシタ電極14上にはキャパシタ絶縁膜15を介して単結晶の $SrRuO_3$ からなる上部キャパシタ電極16が形成されている。

【0053】なお、下部キャパシタ電極14の近傍以外のSiN膜12上のキャパシタ絶縁膜15は単結晶にはならず、アモルファスまたは多結晶になる。キャパシタ絶縁膜15の形成時の温度（単結晶化温度）が低い場合にはアモルファス、単結晶化温度が低い場合でも、後工程（例えば上部キャパシタ電極16の形成時）や結晶性向上のために単結晶化温度よりも高い温度にさらされた場合には多結晶となる。上記アモルファスまたは多結晶の部分はキャパシタ絶縁膜としての役割は無いので問題は無い。

【0054】このような構成によれば、キャパシタ絶縁膜15として誘電率の高い $(Ba, Sr)TiO_3$ 膜が用いられ、かつキャパシタを構成する部分の各膜の全てが単結晶膜（ペロブスカイト構造）であるので、必要なキャパシタ容量を容易に確保できるとともに、リーク電流の増加を効果的に抑制できるようになる。

【0055】図2および図3は、図1のDRAMメモリ

セルの製造方法を示す工程断面図である。

【0056】まず、図2（a）に示すように、pタイプSi基板1の表面にSTIによる素子分離領域2を形成し、続いてゲート絶縁膜3、ゲート電極（ワード線）4、 n^+ 型ドレイン拡散層5、 n^+ 型ソース拡散層6を形成する。

【0057】次に同図（a）に示すように、第1層間絶縁膜7を堆積して表面を平坦化した後、第1層間絶縁膜7にコンタクトホールを開孔してビット線8を形成し、
10 続いて第2層間絶縁膜9を堆積して表面を平坦化した後、第1および第2層間絶縁膜7、9にコンタクトホールを開孔する。

【0058】次に図2（b）に示すように、基板温度200～450℃、成膜圧力1～100Pa、 $Ru(Cp)_2$ （Arキャリア）と O_2 （雰囲気中 O_2 濃度40%以下）を用いたCVD法で、プラグ電極10となるRu膜を全面に堆積した後、コンタクトホール外部の余剰なRu膜をCMP法または反応性イオンエッチングを用いたエッチバック法により除去することによって、コン
20 タクトホールの内部にプラグ電極10を埋込み形成する。

【0059】このとき、余剰なRu膜をCMP法で除去する場合には、全面に堆積するRu膜の膜厚をコンタクトホールの開孔径の半分程度にすることによって、プラグ電極10の中央部に窪みを形成する。また、反応性イオンエッチングの場合にはRu膜（プラグ電極10）の膜厚に特に制限はなく、厚すぎなければ（開孔径程度まで）良い。図11に、余剰なRu膜をCMP法または反応性イオンエッチング（RIE）法により除去する工程
30 の断面図を示す。

【0060】次に図2（c）に示すように、基板温度200～400℃、成膜圧力1～1000Pa、 $Ru(THD)_3$ と $Sr(THD)_2$ と O_2 の混合ガスを用いたCVD法で、単結晶の $SrRuO_3$ 膜11となるアモルファスの $SrRuO_3$ 膜を全面に堆積し、続いてCMP法で窪み外部の余剰な $SrRuO_3$ 膜を除去した後、600℃以上の熱処理を行うことにより、プラグ電極10の中央部の窪みを単結晶の $SrRuO_3$ 膜11で埋め込む。

【0061】次に図3（d）に示すように、SiN膜12、第3層間絶縁膜（ SiO_2 膜）13を順次堆積し、続いてこれらの絶縁膜12、13にプラグ電極10に繋がるコンタクトホールを開孔した後、このコンタクトホールを充填するように下部キャパシタ電極となるアモルファスの $SrRuO_3$ 膜14をCVD法で全面に堆積する。第3層間絶縁膜13上における $SrRuO_3$ 膜14の膜厚は、SiN膜12よりも厚くある必要はない。

【0062】SiN膜12は、コンタクトホールの形成位置がずれても、キャパシタ絶縁膜15がプラグ電極10に直接接しないようにするためのものである。これに
50

より位置ずれによるリーク電流の増加を防止できる。

【0063】次に図3(e)に示すように、コンタクトホール外部の余剰な SrRuO_3 膜14をCMP法により除去し、コンタクトホール内部のみに SrRuO_3 膜14を選択的に残置させる。

【0064】この後、 $400\sim 500^\circ\text{C}$ 、 $2\sim 10$ 時間の熱処理によって、コンタクトホール内部の SrRuO_3 膜14を結晶化することによって、単結晶の SrRuO_3 からなる下部キャパシタ電極14が完成する。

【0065】次に図3(f)に示すように、第3層間絶縁膜13をエッチング除去し、続いて単結晶のキャパシタ絶縁膜15となるアモルファスの $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜をCVD法で全面に堆積した後、これを熱処理して結晶化することによって、下部キャパシタ電極14と接する部分に単結晶の $(\text{Ba}, \text{Sr})\text{TiO}_3$ からなるキャパシタ絶縁膜15を形成する。

【0066】次に同図(f)に示すように、上部キャパシタ電極となるアモルファスの SrRuO_3 膜16をCVD法で全面に堆積した後、これを熱処理して結晶化することによって、単結晶の SrRuO_3 膜16を形成する。

【0067】最後に、単結晶の SrRuO_3 膜12を電極状にパターンニングして、図1に示したDRAMメモリセルが完成する。

【0068】なお、本実施形態では、下部キャパシタ電極14を形成する際に、余剰なアモルファスの SrRuO_3 膜をCMP法で除去した後に、熱処理によってアモルファスの SrRuO_3 膜を結晶化したが、その逆に熱処理によってアモルファスの SrRuO_3 膜を結晶化した後に、余剰な単結晶の SrRuO_3 膜をCMP法で除去しても良い。

【0069】以下、プラグ電極10としてRu膜を用いたことの利点について説明する。

【0070】コンタクトホール内にRu膜を埋め込み形成するには、まず、 $\text{Ru}(\text{C}_6\text{H}_5)_2$ 、 $\text{Ru}(\text{CH}_3\text{C}_5\text{H}_4)_2$ 、または $\text{Ru}(\text{C}_2\text{H}_5\text{C}_5\text{H}_4)_2$ と O_2 との混合ガスを用いて、 300°C 以下の成膜温度でCVD法により全面に堆積した後、コンタクトホール外部のRu膜をCMP法で除去する。なお、 O_2 の代わりに、 O_3 、オラジカル、 N_2O 等の酸化性雰囲気となる物質を用いても良い。

【0071】Ru膜を上記条件で成膜すると非常に良いカバレッジでRu膜を成膜することができ、またRu膜の表面モフォロジーも良好となる。したがって、上記Ru膜の埋め込み方法を用いることによって、開孔径の小さいコンタクトホール内に巣(ボイド)を生じることなく、Ruからなるプラグ電極10を容易に実現できるようになる。

【0072】なお、RuはIr等と同様に酸化されても金属導電性を示すため、下部キャパシタ電極14の材料

に SrRuO_3 等の金属酸化物を用いても、プラグ電極10と下部キャパシタ電極14との間のコンタクト抵抗が増大するという問題は生じない。

【0073】Si基板1とプラグ電極10との接触面は、成膜雰囲気中に O_2 を用いているために、Ru、Si、Oを含む非常に薄い層が形成される。この層は、RuのSi基板1中への拡散を防止するとともに、Si基板1とプラグ電極10との間のコンタクト抵抗を下げるという利点を持っている。また、Si基板1とプラグ電極10との接触面にTiN膜等のバリアメタル膜を形成しても何ら問題はない。

【0074】また、本実施形態のように、下部キャパシタ電極14の材料に SrRuO_3 を用いる場合は、Ru元素はプラグ電極10および下部キャパシタ電極14の両方に含まれるので、プラグ電極10と下部キャパシタ電極14との電気的接合性は非常に良くなる。

【0075】また、本実施形態では、プラグ電極10の表面の窪みを単結晶の SrRuO_3 膜14で埋め込んだが、図4に示すように、最表面の SrRuO_3 膜11が単結晶であれば、窪みの中に複数個の結晶粒があっても差し支えない。図には、結晶粒が2個の SrRuO_3 膜11が示されている。

【0076】また、プラグ電極10の表面の窪みの開孔径が大きい方が、窪み中の結晶核となる SrRuO_3 膜11の結晶の情報を、下部キャパシタ電極14に伝達しやすいが、あまり大きいと窪み中の最表面の SrRuO_3 膜11が多結晶または双晶となってしまうため、確実に単結晶の SrRuO_3 膜11を得るためには、プラグ電極10の表面の窪みの開孔径を 50nm 以下にする必要がある。

【0077】また、本実施形態では、プラグ電極10として表面に窪みを有するRu膜を使用した。上述したRu膜の利点は表面に窪みが無くても得られるので、表面に窪みのないRu膜をプラグ電極に用いても従来よりも優れたDRAMセルを実現することができる(他の実施形態についても同様)。

【0078】(第2の実施形態)図5は、本発明の第2の実施形態に係るDRAMメモリセルの製造方法を示す工程断面図である。なお、図1～図3と対応する部分には図1～図3と同一符号を付してあり、詳細な説明は省略する(他の実施形態についても同様)。

【0079】本実施形態の製造方法が第1の実施形態のそれと異なるのは、図2(c)の工程よりも後の工程である。

【0080】すなわち、図2(c)の工程に続いて、図5(a)に示すように、下部キャパシタ電極となるアモルファスの SrRuO_3 膜14をスパッタ法で全面に堆積する。その後、 $400\sim 500^\circ\text{C}$ 、 $2\sim 10$ 時間の熱処理によって、 SrRuO_3 膜14を結晶化する。

【0081】次に図5(b)に示すように、単結晶のS

SrRuO_3 膜14をパターニングして、下部キャパシタ電極14を形成する。なお、パターニングの後に結晶化を行っても良い。

【0082】次に図5(c)に示すように、キャパシタ絶縁膜15となるアモルファスの $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜をCVD法で全面に堆積した後、これを熱処理することによって単結晶の $(\text{Ba}, \text{Sr})\text{TiO}_3$ からなるキャパシタ絶縁膜15を形成する。

【0083】最後に、同図(c)に示すように、上部キャパシタ電極16となるアモルファスの SrRuO_3 膜をCVD法で全面に堆積し、続いてこのアモルファスの SrRuO_3 膜を熱処理して結晶化した後、これをパターニングすることによって単結晶の SrRuO_3 からなる上部キャパシタ電極16を形成して、DRAMメモリが完成する。

【0084】本実施形態でも第1の実施形態と同様な効果が得られ、さらに本実施形態によれば、 SiN 膜12、第3層間絶縁膜13を形成しないので、第1の実施形態に比べて、プロセスの簡略化を図れるようになる。

【0085】(第3の実施形態) 図6は、本発明の第3の実施形態に係るDRAMメモリセルの製造方法を示す工程断面図である。

【0086】本実施形態の製造方法が第1の実施形態のそれと異なるのは、図2(c)の工程よりも後工程である。本実施形態でも、 SiN 膜12、第3層間絶縁膜13は形成しないすなわち、図2(c)の工程に続いて、図6(a)に示すように、下部キャパシタ電極となるアモルファスの SrRuO_3 膜14を、基板温度 $400\sim 500^\circ\text{C}$ 、成膜圧力 1Pa 以下、 $\text{Ru}(\text{THD})_3$ と $\text{Sr}(\text{THD})_2$ と O_2 を用いたCVD法により形成する。

【0087】このとき、成膜圧力が 1Pa 以下という十分に低い圧力であることから、 SrRuO_3 膜14は SrRuO_3 膜11から成長するので、同図(a)に示すように、 SrRuO_3 膜14はプラグ電極10およびその周囲上のみに選択的に形成される。この後、 $400\sim 500^\circ\text{C}$ 、 $2\sim 10$ 時間の熱処理によって、アモルファスの SrRuO_3 14を結晶化する。

【0088】次に図6(b)に示すように、キャパシタ絶縁膜15となるアモルファスの $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜をCVD法で全面に堆積した後、これを熱処理することによって単結晶の $(\text{Ba}, \text{Sr})\text{TiO}_3$ からなるキャパシタ絶縁膜15を形成する。

【0089】最後に、同図(b)に示すように、上部キャパシタ電極16となるアモルファスの SrRuO_3 膜をCVD法で全面に堆積し、続いてアモルファスの SrRuO_3 膜を熱処理して結晶化した後、これをパターニングすることによって単結晶の SrRuO_3 からなる上部キャパシタ電極16を形成して、DRAMメモリが完成する。

【0090】本実施形態でも第1の実施形態と同様な効果が得られ、さらに本実施形態によれば、 SiN 膜12、第3層間絶縁膜13を形成しないので、第1の実施形態に比べて、プロセスの簡略化を図れるようになる。

【0091】また、本実施形態のように、 SrRuO_3 膜を選択的に成長させることによって下部キャパシタ電極14を形成する場合には、キャパシタの配置を図7に示すような $1/4$ ピッチにすることで、キャパシタの配列を細密にすることができるようになる。

10 【0092】(第4の実施形態) 本実施形態のDRAMセルが第1の実施形態のそれと構造上異なる点は、プラグ電極10の表面中央部の窪み内部を SrRuO_3 膜11で埋め込む代わりに、 SrRuO_3 と格子定数の近い単結晶の Pt 膜で埋め込んだことにある。

【0093】また、プロセス的に異なる点は、図2

(c)の工程で窪み内部に単結晶の SrRuO_3 膜11を形成する代わりに、スパッタ法またはCVD法でアモルファス Pt 膜を全面に堆積し、続いて窪み外部の余剰なアモルファス Pt 膜をCMP法で除去した後、 700°C 以上の熱処理によって窪み内部の Pt 膜の Pt 粒成長を促進させ、単結晶 Pt 膜を形成することである。

【0094】本実施形態でも第1の実施形態と同様な効果が得られ、またCMP工程と熱処理工程の順序や、窪み中の結晶粒の数、その他の種々の変形が第1の実施形態と同様に可能である。

【0095】また、第2および第3の実施形態のDRAMセルにおいて、 SrRuO_3 膜11を単結晶 Pt 膜に置き換えても同様な効果が得られる。

【0096】(第5の実施形態) 本実施形態のDRAMセルが第1の実施形態のそれと構造上異なる点は、プラグ電極10の表面中央部の窪み内部を SrRuO_3 膜11で埋め込む代わりに、 SrRuO_3 と同じペロブスカイト構造を有する単結晶 SrTiO_3 膜で埋め込んだことにある。

【0097】また、プロセス的に異なる点は、図2

(c)の工程で窪み内部に単結晶の SrRuO_3 膜11を形成する代わりに、基板温度 $300\sim 400^\circ\text{C}$ 、 $\text{Ti}(\text{t}-\text{OBu})_2$ ($\text{THD})_2$ と $\text{Sr}(\text{THD})_2$ と O_2 との混合ガスを用いたCVD法でアモルファス SrTiO_3 膜を全面に堆積し、続いて窪み外部の余剰なアモルファス SrTiO_3 膜をCMP法で除去した後、 600°C 以上の熱処理によって窪み内部のアモルファス SrTiO_3 膜を結晶化することである。

【0098】本実施形態では、単結晶化の核として絶縁膜である単結晶 SrTiO_3 膜を用いているが、単結晶 SrTiO_3 膜はプラグ電極10の中央部にのみしか存在しないので、下部キャパシタ電極14とプラグ電極10とを電気的に接続することができる。

【0099】また、単結晶化の核は SrTiO_3 膜に限
50 定されず、 BaTiO_3 膜や $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜

等の他のペロブスカイト構造を有する絶 膜も結晶化の核として用いることができる。

【0100】また、単結晶化された SrTiO_3 膜の最表面はエネルギー的に最も安定な表面であることから、その上の単結晶 SrRuO_3 からなる下部キャパシタ電極14の基板方位に対する配向性が揃い、その結果としてキャパシタ特性のセル依存性をなくすることができる。

【0101】本実施形態でも第1の実施形態と同様な効果が得られ、またCMP工程と熱処理工程の順序や、窪み中の結晶粒の数、その他の種々の変形が第1の実施形態と同様に可能である。

【0102】また、第2および第3の実施形態のDRAMセルにおいて、 SrRuO_3 膜11を単結晶 SrTiO_3 膜等のペロブスカイト構造を有する絶縁膜に置き換えても同様な効果が得られる。

【0103】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、キャパシタ絶縁膜の材料として $(\text{Ba}, \text{Sr})\text{TiO}_3$ を用いた場合について説明したが、 SrTiO_3 、 BaTiO_3 、 PbTiO_3 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 等の他の絶縁材料を用いても同様な効果が得られる。

【0104】また、上記実施形態では、DRAMメモリセルのキャパシタの場合について説明したが、本発明はFRAMメモリセルのキャパシタ等の他のキャパシタにも適用できる。

【0105】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0106】

【発明の効果】以上詳説したように本発明によれば、表面に窪みを有し、この窪みの内部が結晶性物質で埋め込まれたプラグ電極を用いることにより、ペロブスカイト構造を有する導電膜からなる下部キャパシタ電極上に、ペロブスカイト構造を有する金属酸化物誘電体膜からなるキャパシタ絶縁膜が形成されてなるキャパシタを有する半導体装置およびその製造方法を容易に実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るDRAMセルを示す断面図

【図2】図1のDRAMメモリセルの製造方法を示す工

程断面図

【図3】図2に続く同DRAMメモリセルの製造方法を示す工程断面図

【図4】図1のDRAMメモリセルの変形例を示す断面図

【図5】本発明の第2の実施形態に係るDRAMメモリセルの製造方法を示す工程断面図

【図6】本発明の第3の実施形態に係るDRAMメモリセルの製造方法を示す工程断面図

10 【図7】同DRAMメモリセルのキャパシタの配置を示す平面図

【図8】従来のキャパシタの電極材料として SrRuO_3 を用いたDRAMメモリセルの製造方法を示す工程断面図

【図9】従来の SrRuO_3 膜を単結晶化の方法を示す工程断面図

【図10】従来の上部キャパシタ電極としての SrRuO_3 膜の単結晶化の方法の問題点を説明するための断面図

20 【図11】余剰なRu膜をCMP法またはRIE法により除去する工程を示す断面図

【符号の説明】

1, 71…pタイプSi基板

2, 72…素子分離領域

3, 73…ゲート絶縁膜

4, 74…ゲート電極（ワード線）

5, 75… n^+ 型ドレイン拡散層

6, 76… n^+ 型ソース拡散層

7, 77…第1層間絶縁膜

30 8, 78…ビット線

9, 79…第2層間絶縁膜

10, 82…プラグ電極

11… SrRuO_3 膜

12, 83…SiN膜

13…第3層間絶縁膜

14, 85… SrRuO_3 膜（下部キャパシタ電極）

15, 86… $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜（キャパシタ絶縁膜）

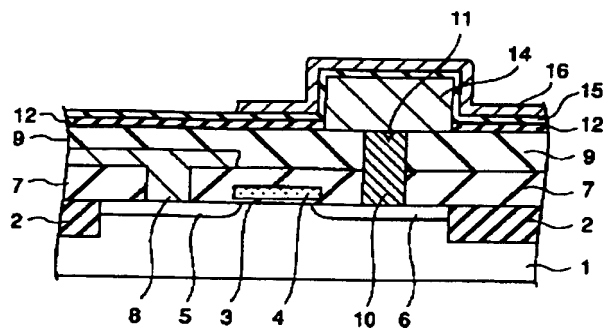
16, 87… SrRuO_3 膜（上部キャパシタ電極）

40 80…Ti膜

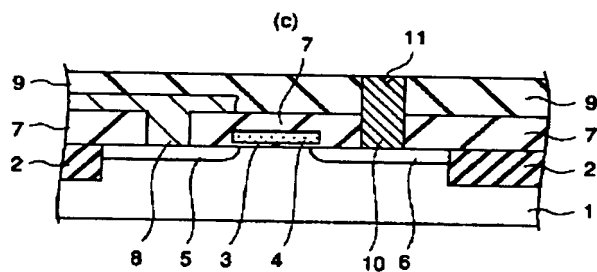
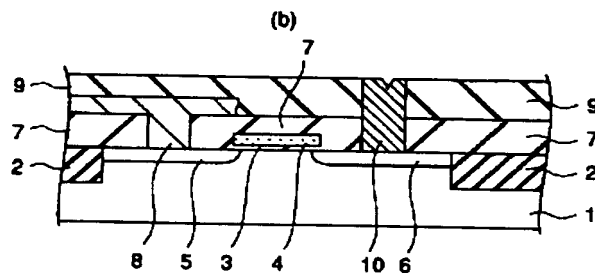
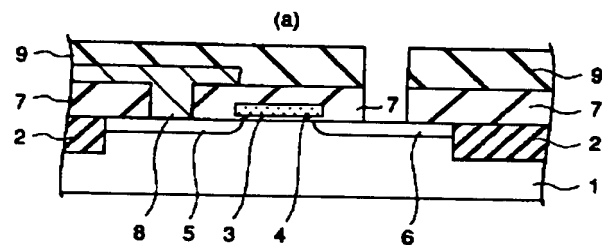
81…TiN膜

84…第3層間絶縁膜

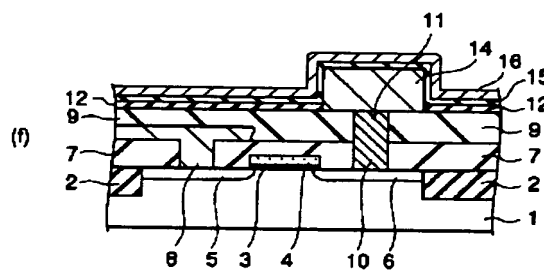
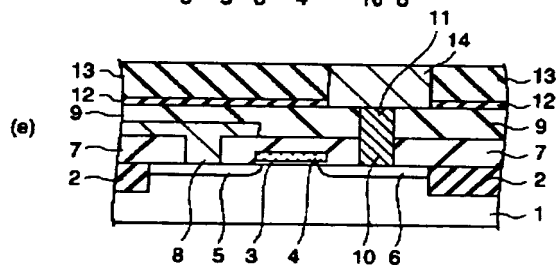
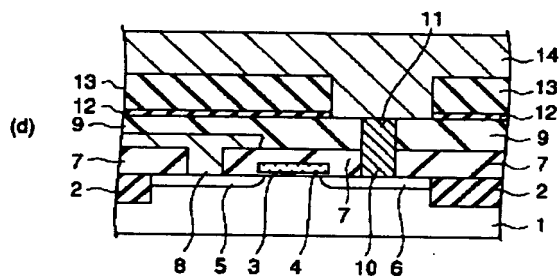
【图 1】



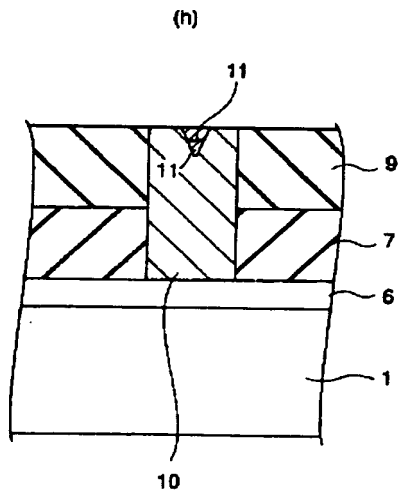
【圖 2】



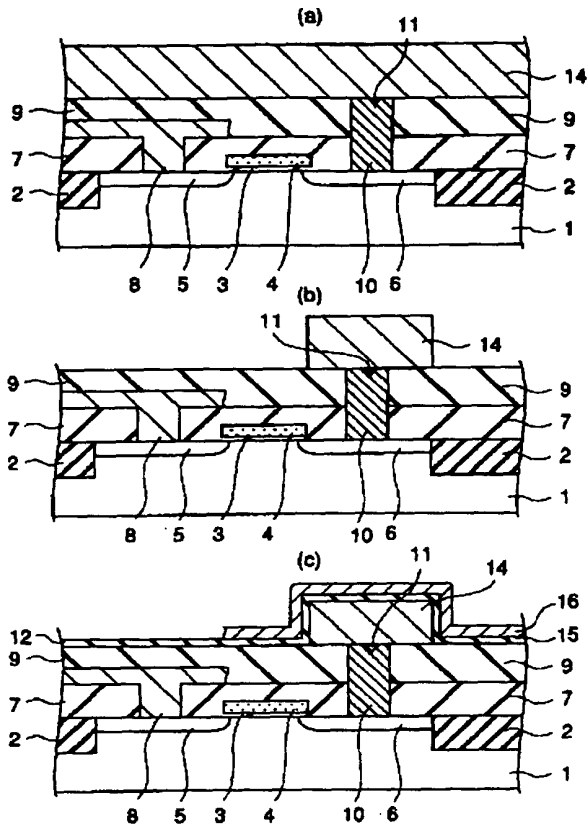
【図 3】



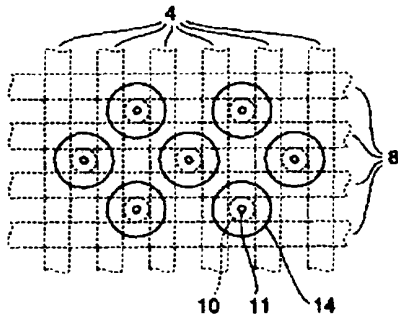
【図 4】



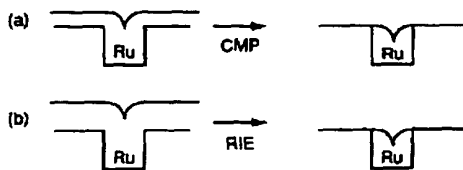
【図5】



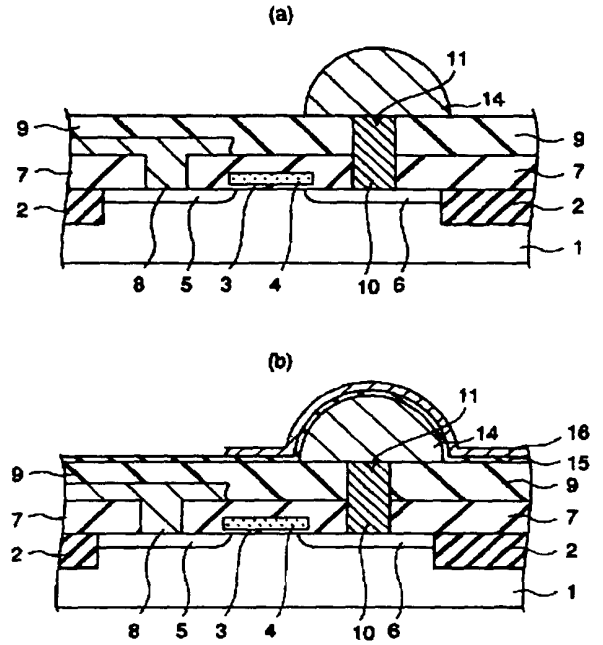
【図7】



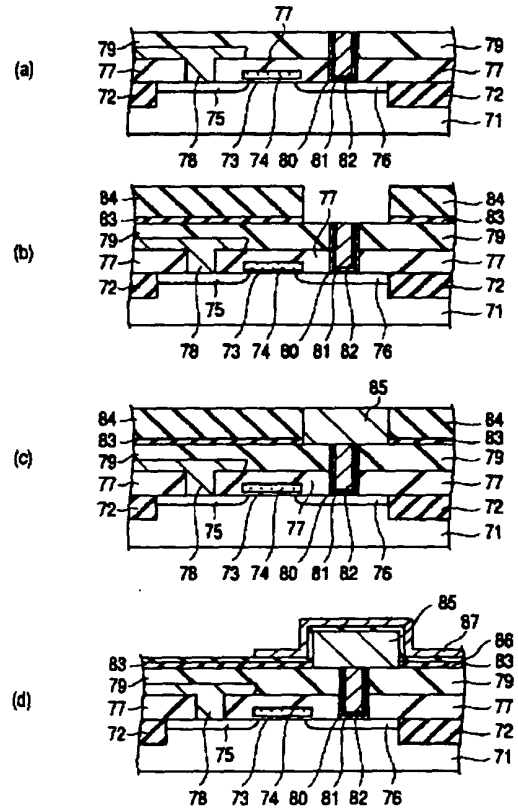
【図11】



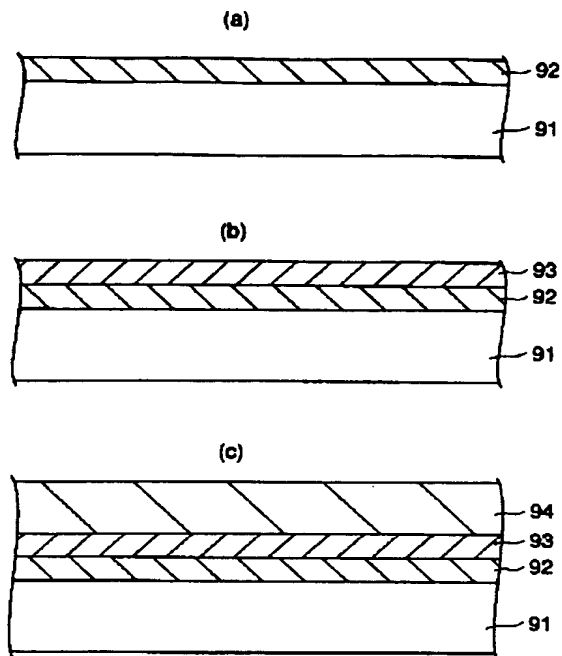
【図6】



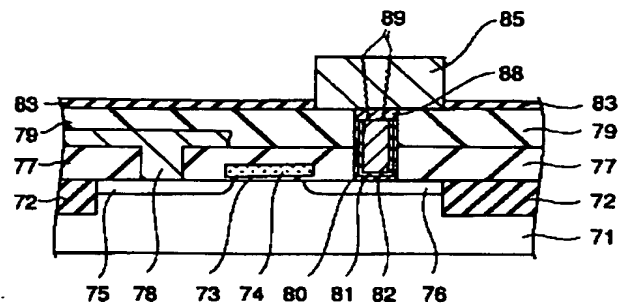
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 5F038 AC02 AC09 AC15 AC18 DF05
EZ14 EZ17
5F083 AD21 AD42 AD48 AD49 FR02
GA06 GA27 GA30 JA14 JA15
JA17 JA38 JA40 JA43 JA45
JA56 MA06 MA17 NA01 PR03
PR21 PR22 PR33 PR39 PR40